

(Concise explanations in relevancy)

Japanese laid-open patent publication No. 8-17675

Japanese laid-open patent publication Nos. 7-326536 and 8-17675 disclose that in order to reduce the self-inductance of a chip type stacked ceramic capacitor, an internal electrode is shaped in such a rectangle that a ratio of a short side "A" to a long side "B" is at most 0.5, and vias are formed over and under the internal electrode, and further substrate electrodes are aligned in a center region of a bottom surface of the chip type stacked ceramic capacitor.

**CHIP TYPE LAMINATED CERAMIC CAPACITOR**

Patent Number: JP8017675  
Publication date: 1996-01-19  
Inventor(s): NISHI YUKIHIRO; others: 01  
Applicant(s):: KYOCERA CORP  
Requested Patent: ☐ JP8017675  
Application Number: JP19940143148 19940624  
Priority Number(s):  
IPC Classification: H01G4/12 ; H01G4/252  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:**To obtain a chip type laminated ceramic capacitor, which is made very low in inductance, by a method wherein a plurality of via holes are provided into a row form along the long-side directions of internal electrodes in the center parts of the internal electrodes and terminal electrodes are respectively connected with the internal electrodes via the alternately provided via holes.

**CONSTITUTION:**A capacitor part 11 is formed within a chip main body 9 interposing rectangle-shaped internal electrodes 10a and 10b between dielectric porcelain layers constituting the main body 9. Here in a chip type laminated ceramic capacitor 8, the ratio A/B of the length A of the short sides of the electrodes 10a and 10b to the length B of the long sides of the electrodes 10a and 10b is set to 0.5 or smaller. Conductors for connecting terminal electrodes 12a and 12b with the electrodes 10a and 10b are filled in the interior of the chip main body 9 in roughly the center parts between the short-side directions of the rectangle-shaped electrodes 10a and 10b and a plurality of via holes 13a and 13b are provided into a row form along the long-side directions of the electrodes 10a and 10b. These holes 13a and 13b are alternately made to connect with the electrode 12a or 12b at the end parts of the chip main body 9.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-17675

(43) 公開日 平成8年(1996)1月19日

(51) IntCl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 G 4/12  
4/252

3 5 2

// H 0 1 G 2/00

9174-5E

H 0 1 G 1/ 14

C

9174-5E

1/ 16

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21) 出願番号

特願平6-143148

(22) 出願日

平成6年(1994)6月24日

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 西 幸宏

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72) 発明者 橋本 浩一

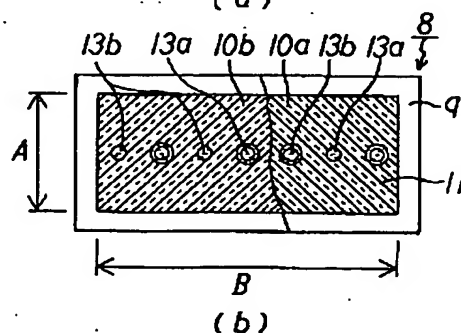
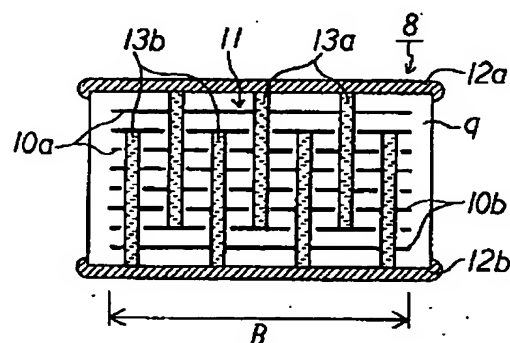
鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(54) 【発明の名称】 チップ型積層セラミックコンデンサ

(57) 【要約】

【構成】 誘電体磁器層と長方形の内部電極10a、10bとを積層して形成したコンデンサ部11を有するチップ本体9と、チップ本体9の内部電極10a、10bと平行な端面に形成した端子電極12a、12bとから成るチップ型積層セラミックコンデンサ8において、内部電極10a、10bの短辺の長さAと長辺の長さBとの比 $A/B$ を0.5以下とすると共に、内部電極10a、10bの中央部に複数のビアホール13a、13bを列状に配設し、端子電極12a、12bと内部電極10a、10bとを一つおきのビアホール13a、13bを介して接続する。

【効果】 インダクタンスを非常に小さくでき、高速でスイッチングするデジタル回路等に組み込まれるデカップリングコンデンサに好適なチップ型積層セラミックコンデンサとなる。また、高速化された回路モジュールにおいてもノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさない。



## 1

## 【特許請求の範囲】

【請求項 1】 誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部を有するチップ本体と、該チップ本体の前記内部電極と平行な端面に形成された端子電極とから成るチップ型積層セラミックコンデンサであって、前記内部電極の短辺の長さを A とし長辺の長さを B としたときの比  $A/B$  を 0.5 以下とするとともに、前記内部電極の中央部に長辺方向に沿って複数のビアホールを列状に配設し、前記端子電極と内部電極とを一つおきのビアホールを介して接続したことを特徴とするチップ型積層セラミックコンデンサ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、低インダクタンスのチップ型積層セラミックコンデンサに関し、詳細には、非常に高速でスイッチングする集積回路等に組み込まれる、デカップリングセラミックコンデンサに関するものである。

## 【0002】

【従来の技術】 近年、デジタル回路の高速化、高集積化が急速に進展しており、それに伴い、デジタル回路中で同時にいくつかのスイッチングが行なわれるようになっている。その際、回路素子のインダクタンスが大きいと、それに起因してデジタル回路中の電圧が変動するために、回路が誤動作を起こしたり、回路の性能を制限してしまうことがあった。この電圧の変動は、回路中の電流または電圧の大きさとその立ち上がり時間、及び半導体素子である集積回路（IC）の持つインダクタンスの大きさに依存している。

【0003】 上記の電圧変動の対策として、半導体素子に並列にコンデンサを付加して、スイッチングにより電圧が変動しても、常に半導体素子にかかる電圧を安定化することが行なわれている。このような用途のコンデンサをデカップリングコンデンサと言う。デカップリングコンデンサには、そのインダクタンスが非常に小さいことが要求され、通常は 0.2 nH 以下であることが必要とされている。

【0004】 従来、面実装タイプのチップ型積層セラミック（磁器）コンデンサとしては、特開昭 59-914 号等の開示されたチップ型積層セラミックコンデンサが知られている。図 3（a）及び（b）は、そのようなチップ型コンデンサの構成を示すもので、同図（a）は横断面図であり、（b）は縦断面図である。

【0005】 図 3（a）及び（b）に示したチップ型積層セラミックコンデンサ 1 は、誘電体磁器からなるチップ本体 2 の内部に、第 1 の内部電極 3 a と第 2 の内部電極 3 b とが誘電体磁器を介して交互に積層されて、コンデンサ部（容量発生部）4 が形成されている。チップ本体 2 の左右の端面には、外部の電気回路基板の配線に接続するための基板用電極として、厚み 50~100  $\mu$ m の端

## 2

子電極 5 a、5 b が形成され、内部電極 3 a、3 b の一端がそれぞれ接続されている。そして、端子電極 5 a、5 b が半田等で回路基板の配線と接続されて、面実装される。

【0006】 このようなセラミックコンデンサ 1 においては、図 3（a）において端子電極に直交する方向の内部電極の長さ C と、端子電極に平行な方向の内部電極の長さ D との比  $C/D$  が大きくなる程、インダクタンスが大きくなることが知られている。図 3 に示した従来のセラミックコンデンサ 1 では、 $C/D$  が通常 1.5 以上と大きく最小でも 0.8 程度であったため、インダクタンスが 1.0 nH 以上と大きくなっていた。

【0007】 これに対し、例えば、図 4（a）及び（b）にそれぞれ横断面図及び縦断面図で示すような構成のチップ型積層セラミックコンデンサ 6 が開発されている。なお、同図において、図 3 と同様の箇所には同じ符号を付してある。このセラミックコンデンサ 6 は、内部電極 3 a、3 b の端子電極 5 a、5 b に直交する方向の内部電極の長さ C と、端子電極に平行な方向の内部電極の長さ D との比  $C/D$  を 0.25~0.7 とすることにより、発生するインダクタンスを 0.7 nH 程度に抑制することができるものである。

【0008】 また、特開昭 63-307715 号には、図 5（a）及び（b）にそれぞれ横断面図及び縦断面図で示すような構成のチップ型積層セラミックコンデンサ 7 が開示されている。このセラミックコンデンサ 7 においては、誘電体磁器からなるチップ本体 2 の第 1 の角へ向かって延びて外部に露出する耳片部と本体部とを有する第 1 の内部電極 3 a と、誘電体磁器の第 2 の角へ向かって延びて外部に露出する耳片部と本体部とを有する第 2 の内部電極 3 b とが誘電体磁器を介して交互に積層されて、コンデンサ部 4 が形成されている。そして、各耳片部同士が外部で端子電極 5 a、5 b により接続されて、コンデンサ 7 を形成している。このような構成として、内部電極を流れる電流が、誘電体磁器層を介して隣接する対向した第 1 の内部電極 3 a 及び第 2 の内部電極 3 b 中をほぼ反対方向に流れるようにし、それにより内部電極中を流れる電流による磁界を相殺して、相互インダクタンスを減少させるものである。このセラミックコンデンサ 7 における内部電極 3 a、3 b の端子電極 5 a、5 b に直交する方向の内部電極の長さ C と、端子電極に平行な方向の内部電極の長さ D との比  $C/D$  は、2.0 程度である。

## 【0009】

【発明が解決しようとする課題】 しかしながら、上記図 3 に示したセラミックコンデンサ 1 においては、内部電極の長さの比  $C/D$  が 0.8 以上と大きいため、内部電極の自己インダクタンスが大きいという問題点があった。また、隣接した内部電極 3 a 及び内部電極 3 b 中を流れる入力電流と出力電流とが、同方向に流れるため、内部

## 3

電極間で生じる相互インダクタンスが大きくなるという問題点もあった。そのため、コンデンサの持つ総合インダクタンスが1.0nH以上に大きくなるという問題点があり、上記デカップリングコンデンサには使用できなかった。

【0010】また、図4に示したセラミックコンデンサ6では、内部電極3a、3bの長さの比C/Dを0.25程度にまで小さくできるため、内部電極の自己インダクタンスは小さくなる。しかし、隣接した内部電極3a及び内部電極3b中を流れる入力電流と出力電流とが、同方向に流れるため、内部電極間で生じる相互インダクタンスが大きくなるという問題点があった。そのため、コンデンサの持つ総合インダクタンスが0.7nH以上と大きくなるという問題点があり、上記デカップリングコンデンサには使用できなかった。

【0011】さらに、特開昭63-307715号に開示された図5のセラミックコンデンサ7にも、隣接する対向した内部電極3a及び3b中を流れる電流が反対方向に流れることにより、相互インダクタンスは小さくなるものの、そのような効果を維持しつつ内部電極3a、3bの長さの比C/Dを小さくすることが静電容量との関係で難しく、2.0程度と大きいため、内部電極の自己インダクタンスが大きくなってしまいう問題点があった。そのため、コンデンサの持つ総合インダクタンスが0.5nH以上と大きくなるという問題点があり、やはり上記デカップリングコンデンサには使用できなかった。

【0012】本発明は、上記事情に鑑みて本発明者等が鋭意研究を進めた結果完成したもので、その目的は、自己インダクタンス及び相互インダクタンスを共に低減し、極めて低インダクタンスとしたチップ型積層セラミックコンデンサを提供することにある。

【0013】また、本発明の目的は、高速化、高集積化されたデジタル回路の半導体素子に並列に付加するデカップリングコンデンサに好適な、極めて低インダクタンスとしたチップ型積層セラミックコンデンサを提供することにある。

【0014】さらに、本発明の目的は、非常に高速化された回路モジュールにおいてもノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさない、極めて低インダクタンスとした面実装タイプのチップ型積層セラミックコンデンサを提供することにある。

【0015】

【課題を解決するための手段】本発明のチップ型積層セラミックコンデンサは、誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部を有するチップ本体と、そのチップ本体の前記内部電極と平行な端面に形成された端子電極とから成るチップ型積層セラミックコンデンサであって、前記内部電極の短辺の長さをAとし長辺の長さをBとしたときの比A/Bを0.5以下とするとともに、前記内部電極の中央部に長辺方

## 4

向に沿って複数のビアホールを列状に配設し、前記端子電極と内部電極とを一つおきのビアホールを介して接続したことを特徴とするものである。

【0016】

【作用】本発明のチップ型積層セラミックコンデンサは、誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部において、内部電極の短辺の長さをAとし長辺の長さをBとしたときの比A/Bを0.5以下とすることにより、コンデンサに生じる自己インダクタンスを小さくすることができる。

【0017】また、本発明のチップ型積層セラミックコンデンサは、チップ本体の内部電極と平行な対向する主面上、即ち端面に、内部電極と平行になるように端子電極を形成し、この端子電極とそれに接続される内部電極とをビアホールを介して接続している。それにより、内部電極の形状における長さの比A/Bを比較的自由に設計でき、容易に0.5以下にすることができる。そのため、内部電極の持つ自己インダクタンスを小さくできる。

【0018】さらに、複数のビアホールを長方形の内部電極の短辺方向の中央部に長辺方向に沿って列状に配設し、一方の主面上の端子電極とそれに接続される複数の内部電極とを、及び他方の主面上の端子電極とそれに接続される複数の内部電極とを、それぞれ列状に配設した一つおきのビアホールを介して接続する構成とする。ここで、これら両者の内部電極は交互に積層されており、一方の端子電極と内部電極とを接続するビアホールは、他方の内部電極を貫通している。

【0019】このような構成とすることにより、誘電体磁器層を挟んで相対した内部電極の中でビアホール列と内部電極の長辺との間を流れる電流が、ビアホール列の両側においてそれぞれ反対方向に流れるようになる。そのため、内部電極間に発生する相互インダクタンスを低減させることができるので、セラミックコンデンサに生じる総合インダクタンスを極めて小さくすることができる。

【0020】従って、本発明のチップ型積層セラミックコンデンサであれば、極めて低インダクタンスのチップ型積層セラミックコンデンサとなり、高速化、高集積化されたデジタル回路の半導体素子に並列に付加するデカップリングコンデンサに好適で、非常に高速化された回路モジュールにおいてもノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさない、面実装タイプのチップ型積層セラミックコンデンサを提供することができる。

【0021】

【実施例】以下、本発明のチップ型積層セラミックコンデンサを、実施例に基づいて詳述する。図1(a)及び(b)は本発明の一実施例を示すもので、同図(a)は本発明のチップ型積層セラミックコンデンサ8の横断面

10

20

30

40

50

## 5

図である。また、同図（b）はその縦断面図であり、図の中央付近の破断線の両側で異なる断面を表わしている。これらの図において、9はコンデンサ部を有するチップ本体であり、多数の誘電体磁器層を積層して構成されている。

【0022】このチップ本体9内には、チップ本体9を構成する誘電体磁器層の間に長方形の内部電極10a、10bを介装して、コンデンサ部11を形成している。ここで、図1（a）及び（b）におけるAは長方形の内部電極10a、10bの短辺の長さを示し、Bは同じく長辺の長さを示している。そして、本発明のチップ型積層セラミックコンデンサ8においては、内部電極10a、10bの短辺と長辺の長さの比 $A/B$ を0.5以下としている。

【0023】また、チップ本体9の内部電極10a、10bと平行な対向する主面上、即ち端面には、内部電極と平行になるように、端子電極12a、12bを形成している。

【0024】そして、長方形の内部電極10a、10bの短辺方向のほぼ中央部には、端子電極12a、12bと内部電極10a、10bとを接続するための導体を内部に充填した、複数のビアホール13a、13bを長辺方向に沿って列状に配設している。これらのビアホール13a、13bは、一つおきにチップ本体9の端面において端子電極12a又は12bに接続しており、端子電極12aに接続したビアホール13aは、コンデンサ部11において内部電極10aに順次接続されていて、他方、端子電極12bに接続したビアホール13bは、内部電極10bに順次接続されている。

【0025】ここで、内部電極10a同士を接続する各ビアホール13aは、他方の内部電極10bを貫通しているが、この各ビアホール13aの回りの各内部電極10bに、電極膜を形成しないブランク部を設けることにより空隙を確保して、各ビアホール13aと各内部電極10bとの間を絶縁している。また、内部電極10b同士を接続する各ビアホール13bと、それらが貫通する各内部電極10aとの間も、同様にして絶縁している。

【0026】このように、端子電極12aと各内部電極10aとを一つおきのビアホール13aによって、また端子電極12bと各内部電極10bとを同じく一つおきのビアホール13bによって、それぞれ接続することにより、誘電体磁器層を介して隣接して対向した内部電極10aと内部電極10bの中を流れる充電電流や放電電流などの電流は、図2に示すように、ビアホール13a、13bの列の両側において、それぞれほぼ反対方向に流れるようになる。

【0027】図2（a）及び（b）は、図1に示した本発明のチップ型積層セラミックコンデンサ9の内部電極10a、10b中を流れる電流の向きを示す縦断面図及び横断面図であり、図1と同様の箇所には同じ符号を付してある。

【0028】図2（a）及び（b）においては、電流の向きとして、一方の端子電極12aからビアホール13a及び内部電極10aを通り、誘電体磁器層を介して内部電極

## 6

10bからビアホール13bを通して他方の端子電極12bへと流れる場合を示している。そして、図中の実線の矢印は、端子電極12aからビアホール13aを通して内部電極10aの中を流れる電流の主な向きを表わし、破線の矢印は、内部電極10bの中を流れて、ビアホール13bを通して端子電極12bへと流れる電流の主な向きを表わしている。なお、電流がこれとは逆に、端子電極12bから端子電極12aへと流れる場合には、各々の矢印の向きは逆向きとなる。

10 【0029】本発明の構成のチップ型積層セラミックコンデンサ8であれば、図2（a）及び（b）に示したように、誘電体磁器層を挟んで相対した内部電極10aと10bとの中で、ビアホール13a、13bの列と内部電極10a、10bの長辺との間を内部電極10a、10bの短辺に平行な方向に流れる電流が、ビアホール13a、13b列の両側においてそれぞれほぼ反対方向に流れるようになる。そのため、内部電極10a、10b間に生じる相互インダクタンスが相殺され、コンデンサの総合インダクタンスを低減させることができる。

20 【0030】また、上記構成のチップ型積層セラミックコンデンサ8では、端子電極12a、12bを、チップ本体9の内部電極10a、10bと平行な対向する主面上、即ち端面に、内部電極10a、10bと平行になるように形成することによって、端子電極12a、12b間に発生する相互インダクタンスも低減することができる。

30 【0031】さらに、上記構成であれば、長方形の内部電極10a、10bの形状を比較的自由に設計できるので、内部電極10a、10bの短辺と長辺の長さの比 $A/B$ を容易に0.5以下とすることができ、それによって、コンデンサ部11に発生する自己インダクタンスを小さくすることができる。

【0032】そして、内部電極10a、10bの中央部に列状に配設した複数のビアホール13a、13bの一つおきによって端子電極12a、12bと内部電極10a、10bとを接続し、相対する内部電極10a、10b間でそれらの中を電流が反対方向に流れるようにすることによって、内部電極10a、10b間で発生する相互インダクタンスを低減できる。

40 【0033】以上により、チップ型積層セラミックコンデンサ8に生じるインダクタンスを0.2nH以下と非常に小さく抑制することができ、高速化、高集積化されたデジタル回路の半導体素子に並列に付加するデカップリングコンデンサに好適となり、スイッチングにより電圧が変動しても、常に半導体素子にかかる電圧を安定化することが可能となる。また、非常に高速でスイッチングする回路モジュールに使用した場合においても、ノイズ発生による電圧レベルの変動に起因する回路の誤動作を生じることがなくなる。

50 【0034】なお、図1及び図2においてはビアホールを奇数個配列した例を示したが、ビアホールを偶数個配

列して、内部電極と端子電極とを同数のビアホールによって接続してもよいことは、言うまでもない。

【0035】チップ本体9を構成する誘電体磁器層には、種々の誘電体材料を用いることができ、例えば、 $\text{BaTiO}_3$ 、 $\text{LaTiO}_3$ 、 $\text{CaTiO}_3$ 、 $\text{NdTiO}_3$ 、 $\text{MgTiO}_3$ 、 $\text{SrTiO}_3$ 、 $\text{CaZrO}_3$ 、 $\text{SrSnO}_3$ 、 $\text{BaTiO}_3$ に $\text{Nb}_2\text{O}_5$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{ZnO}$ 、 $\text{CoO}$ 等を添加した組成物、 $\text{BaTiO}_3$ の構成原子であるBaをCaで、TiをZrやSnで部分的に置換した固溶体等のチタン酸バリウム系材料や、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Pb}(\text{Fe}, \text{Nd}, \text{Nb})\text{O}_3$ 系ペロブスカイト型構造化合物、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$  -  $\text{PbTiO}_3$ 等の2成分系組成物、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$  -  $\text{PbTiO}_3$  -  $\text{Pb}(\text{Mg}_{1/2}\text{W}_{1/2})\text{O}_3$ 、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$  -  $\text{Pb}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$  -  $\text{PbTiO}_3$ 、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$  -  $\text{Pb}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$  -  $\text{Pb}(\text{Sm}_{1/2}\text{Nb}_{1/2})\text{O}_3$ 等の3成分系組成物、あるいはそれらに $\text{MnO}$ 、 $\text{MnO}_2$ 、 $\text{CuO}$ 、 $\text{BaTiO}_3$ 等を添加したもの等の鉛系リラクサー材料などが挙げられる。チップ本体9の形成に際しては、これらの誘電体粉末をバインダーと十分に混合したスリッパからセラミックグリーンシートに成形したものを使用する。

【0036】内部電極10a、10bを形成する材料としては、例えばPd、Ag、Pt、Ni、Cu、Pb及びそれらの合金が挙げられる。内部電極10a、10bの形成に当たっては、このような電極材料粉末をバインダーと混合粉碎してペースト状にした導電性ペーストが用いられる。この導電性ペーストを、スクリーン印刷法などによってセラミックグリーンシート上に内部電極パターンとして印刷して、積層、圧着、焼成することにより、所望の内部電極10a、10bを形成する。

【0037】また、端子電極12a、12bを形成する材料は、内部電極10a、10bと同様であり、必要に応じてガラスフリットなどを添加して、導電性ペーストとしてチップ本体9の端面に塗布し、焼成することにより、所望の端子電極12a、12bを形成する。あるいは、スパッタリング等の薄膜形成法による導体膜によって形成してもよい。また、このようにして形成した電極膜に、さらにメッキ法によりNi、Ni-Sn、Au等のメッキ膜を析出させてもよい。

【0038】端子電極12a、12bは、チップ本体9の内部電極10a、10bと平行な対向する主面(端面)上に、内部電極10a、10bとそれぞれ平行になるように形成される。そして、内部電極10a、10bのほぼ中央部に列状に形成される複数のビアホール13a、13bの一つおきとそれぞれ接続する。この端子電極12a、12bの厚さは、 $20\mu\text{m}$ 以下とすると、コンデンサのインダクタンスがさらに低下するといった点で好ましい。そして、端子電極12a、12bの各々は、半導体素子や外部の回路モジュールに、

接続リードや接続ワイヤ、基板上の接続ランドなどを介して、ワイヤボンディングや半田などを用いて接続される。

【0039】ビアホール13a、13bは、長方形の内部電極10a、10bの短辺方向のほぼ中央部に、長辺方向に沿って列状に複数形成する。この列は、必ずしも一直線状である必要はなく、ビアホール13a、13b間距離が $200\mu\text{m}$ 以下の範囲で、千鳥状(ジグザグ状)に配置してもよい。そのように千鳥状に配置すると、同じ長さの内部電極中により多くのビアホールを配列できるので、内部電極と端子電極との接続をより低抵抗で確実に行なえるとともに、隣接する内部電極中を流れる電流の向きを反対方向に揃えやすくなって、相互インダクタンスをより低減できるという利点もある。

【0040】ビアホール13a、13bの形成に当たっては、まずセラミックグリーンシートの所定の位置に、後から印刷する内部電極パターンのほぼ中央部に長辺方向に沿って列状に並ぶように、穴加工(スルーホール加工)を施す。この穴加工は、MPS(マルチ・パンチング・システム)装置などを使用して行なう。

【0041】次に、スルーホールを形成したグリーンシート上に、導電性ペーストを所定の内部電極パターン形状に印刷する。この内部電極パターンには、端子電極12aに接続される内部電極10aとなるパターンと、端子電極12bに接続される内部電極10bとなるパターンとの2種類を用いる。

【0042】これら内部電極パターンの印刷に際しては、端子電極と接続するためのビアホールとなるスルーホール部分には、導電性ペーストの一部がスルーホールの淵に掛かるように、スルーホールの径と同じ程度の大きさの中抜きを施して印刷する。一方、接続しないビアホールとなるスルーホール部分には、内部電極とビアホールとの電気的な導通を避けて絶縁性を確保するため、スルーホール端部から所定のマージン(間隙)を設定して印刷する。このマージンは、印刷あるいは積層時のずれを見込んで設定されるが、通常は $150\mu\text{m}$ より小さくなると絶縁不良を起こし易い傾向があるため、それ以上に設定することが好ましい。

【0043】但しこの数値は、内部電極パターンの印刷精度や印刷後のグリーンシートの積層精度、誘電体及び内部電極の材質の選定、ビアホール形成の際の導体のにじみ等により異なるため、それらに応じて適宜選択すれば良い。なお、スルーホール即ちビアホールの形状及び上記所定のマージンの形状は必ずしも円形である必要はなく、所望の特性を有すれば、三角形、四角形、六角形等の多角形や楕円形などの種々の形状であってもよい。

【0044】次いで、上記のスルーホール加工と内部電極パターン印刷を施したグリーンシートを、2種類の内部電極パターンが交互に積層されてコンデンサ部11が形成されるように、所定数積層する。即ち、誘電体磁器層

を介して重なり合う内部電極が、交互に互いに隣り合うビアホールに導通するように積層する。その後、互いに繋がって細長い空洞を形成したスルーホール部に、端子電極12a、12bと内部電極10a、10bとを接続するための導体を、スクリーン印刷、エッチングプレート印刷などの方法によって充填する。この導体の材料は、安定して電氣的導通を確保できれば特に限定はないが、内部電極10a、10bと同種の材料を用いると、焼成時の収縮の違いによる接続不良が発生せず、接続部が一体化して良好な導通特性が得られる点で好ましい。

【0045】このようにして導体が充填されたスルーホールは、焼成後に、端子電極12a、12bと内部電極10a、10bとを接続するビアホール13a、13bとなる。なお、ビアホール13a、13bの長さは、インダクタンスの発生に関与し、ビアホールが長くなるに従ってビアホールの持つ自己インダクタンスが増加するため、なるべく短くすることが好ましい。

【0046】そして、必要に応じてチップ本体9の端部のブランク層となるセラミックグリーンシートを積層し、熱圧着した後で所定のサイズに切断し、脱バイン

ダーを行ない、焼成する。

【0047】焼成後に、バレル研磨を行なってチップ本体9の角面を研磨した後、チップ本体9の端面に端部が露出しているビアホール13a、13bに対して、それぞれ端子電極12a、12bを形成する。この端子電極12a、12bは、互いに隣り合うビアホール13a、13bとそれぞれ接続されるように形成することにより、一方の端子電極12a又は12bに対して一つおきのビアホール13a又は13bが接続される形となる。この端子電極12a、12bは、前述のように導電性ペーストを用いて形成してもよく、あるいはスパッタリング等の薄膜形成法によって形成してもよい。

【0048】以下に、本発明のチップ型積層セラミックコンデンサの具体例を示す。

【例1】まず、誘電体磁器層の材料として、PMN (Pb (Mg<sub>1/3</sub> Nb<sub>2/3</sub>) O<sub>3</sub>) を主成分とする鉛系リラクサー材料粉末を用意し、分散剤と水とアクリル系樹脂のバインダーとを加えて混合し、得られたスリップを用いて、ドクターブレード法によって厚さ50μmのセラミックグリーンシートを成形した。

【0049】このセラミックグリーンシートの所定の位置に、MPS装置を使用して、後から印刷する内部電極パターンの中央部に長辺方向に沿って1列に並ぶように、直径120μmのスルーホールを250μm間隔で、図1のように7個加工した。

【0050】このスルーホール加工を施したグリーンシートに、Ag又はAg/Pd粉末に有機ビヒクルを添加して混合した導電性ペーストを用いて、スクリーン印刷法により、長方形の内部電極パターンを印刷した。この内部電極パターンの寸法は、内部電極の短辺の長さA

= 0.8mm、長辺の長さB = 3.2mm、短辺と長辺の長さの比A/B = 0.25となり、厚さが8~10μmとなるようにした。また、ビアホールと接続する部分には、導電性ペーストの一部がスルーホールの淵に掛かるように、スルーホール径と同じ直径120μmの中抜きを設け、ビアホールと接続しない部分には、スルーホールの周囲にそれぞれ150μmのマージンを取り、直径420μmの中抜きを設けた。

【0051】次いで、隣り合うビアホールに交互に導通するように、2種類の内部電極パターンを印刷したグリーンシートを、交互に5枚ずつ計10枚積層した後、細長い空洞となったスルーホールに、内部電極と同じAg又はAg/Pdからなる導電性ペーストを充填した。これにより、チップ型積層セラミックコンデンサの静電容量の目標値が10nFとなるように設計している。

【0052】このように積層したグリーンシートを、熱圧着して一体化した後、長さ4.15mm、幅1.55mmのチップに切断した。これを乾燥機により300℃で脱バインダーした後、880~930℃、2.0時間の条件で焼成して、長さ3.2mm、幅1.6mm、厚さ1.2mmのチップ本体を作製した。

【0053】このチップ本体をバレル研磨にかけて角面を研磨した後、ビアホールの端部が露出した端面に、Ag粉末にガラスフリット及び有機ビヒクルを混合した導電性ペーストを、端子電極として100μmの厚さで塗布した。これを乾燥後に、600~700℃、5分間の条件で焼成して端子電極を形成し、チップ型積層セラミックコンデンサ試料Aを得た。

【0054】このようにして得た試料Aの総合インダクタンスを、以下のようにして求めた。測定器としてYHP4274Aを用い、周波数1kHz、電圧1Vの時の静電容量を測定した。次いで、測定器としてYHP4191Aを用い、共振周波数を測定した。そして、共振周波数 $f_0$ と静電容量C、インダクタンスLの関係式 $f_0 = 1 / 2\pi\sqrt{L \cdot C}$ より、コンデンサのインダクタンスを算出した。その結果、試料Aの静電容量Cは10.05nF、共振周波数 $f_0$ は144.9MHzであり、総合インダクタンスLは0.12nHと非常に小さいものであった。

【0055】これに対し、比較例として、図3並びに図4、図5に示した構造のチップ型積層セラミックコンデンサ(長さ3.2mm、幅1.6mm、厚さ1.2mm)を作製して、同様に総合インダクタンスを測定した。ここで、各コンデンサ試料における内部電極の長さの比C/Dは、図3のコンデンサ試料Bは1.58、図4のコンデンサ試料Cは0.34、図5のコンデンサ試料Dは1.76であった。また、いずれのコンデンサ試料も、静電容量の目標値は10nFとした。これらの測定結果を、試料Aの結果と共に表1にまとめた。

【0056】

【表1】



試料	A/B比 又はC/D比	静電容量 (nF)	共振周波数 (MHz)	総合インダクタンス (nH)
A	0.25	10.05	144.9	0.12
B	1.58	10.42	50.5	0.95
C	0.34	10.60	61.1	0.64
D	1.76	10.26	67.6	0.54

【0057】表1の結果より、本発明のチップ型積層セラミックコンデンサが極めて低インダクタンスであり、総合インダクタンスを0.2nH以下と小さくできることが確認できた。

【0058】〔例2〕次に、〔例1〕と同様にしてセラミックコンデンサ試料を作製するに当り、内部電極の短

辺の長さA及び長辺の長さBを変えて、表2に示すように短辺と長辺の長さの比A/Bの異なる試料E～Kを得た。これらについて〔例1〕と同様にして総合インダクタンスを求めたところ、表2に示す結果が得られた。

【0059】

【表2】

試料	A	E	F	G
内部電極A/B比	0.25	0.34	0.40	0.50
総合インダクタンス (nH)	0.120	0.134	0.151	0.190
試料	H	I	J	K
内部電極A/B比	0.55	1.00	1.58	1.76
総合インダクタンス (nH)	0.246	0.352	0.440	0.487

【0060】表2の結果より、内部電極の短辺と長辺の長さの比A/Bが0.5以下のコンデンサ試料E～Gであれば、インダクタンスを0.2nH以下と非常に小さく抑制できることが確認できた。また、内部電極の短辺と長辺の長さの比が、従来の構成のチップ型積層セラミックコンデンサと同じであっても、本発明の構成であれば、より低インダクタンスとできることが分かる。

【0061】〔例3〕次に、〔例1〕と同様にしてセラミックコンデンサ試料を作製するに当り、内部電極を接続するビアホールを合計数を、2個、4個及び6個に変えた。これらのビアホールは、試料Aの7個のビアホールと両端の位置が同じになるようにし、その間で内部電

極パターンの中央部に長辺方向に沿って1列に並ぶように、等間隔に配置した。そして、ビアホールが2個の場合は、両端の1つずつが第1パターンと第2パターンのそれぞれの内部電極と端子電極とを接続するように、また、4個及び6個の場合はその間で1つおきにそれぞれの内部電極と端子電極とを接続するようにした。このようにして、それぞれ試料L、M及びNを得た。

【0062】これらについて〔例1〕と同様にして総合インダクタンスを求めたところ、表3に示した結果が得られた。なお、表3には、試料Aの結果も併記した。

【0063】

【表3】

試料	L	M	N	A
ビアホール個数	2	4	6	7
総合インダクタンス (nH)	0.328	0.192	0.129	0.120

【0064】表3の結果より、本発明のチップ型積層セラミックコンデンサにおいては、試料M、N及びAのようにビアホールの合計数を4個以上に設定することが、インダクタンスの低減のために好ましいことが分かる。これは、ビアホールの数が減少すると、内部電極中の電流の流れにおいて内部電極の長辺方向の成分が大きくなるために、コンデンサの自己インダクタンスが増加してくるためと考えられる。

【0065】また、ESR（等価直列抵抗）を低く抑える点からも、ビアホールは、好ましくは合計で4個以上の多数設けることが良いと考えられる。

【0066】〔例4〕次に、〔例1〕と同様にしてセラミックコンデンサ試料を作製するに当り、内部電極を接続するビアホールの配置を、1列の直線状から、千鳥状の配置に変化させた。その際、ビアホールの径及び内部電極の長辺方向の間隔は試料Aと同じとし、短辺方向の間隔を表4に示すように0.05mm～0.25mmにおいて5段階に変えたものを作製して、それぞれ試料O～Sを得た。

【0067】これらについて〔例1〕と同様にして総合インダクタンスを求めたところ、表4に示した結果が得られた。なお、表4には、試料Aの結果も併記した。

【0068】

【表4】

試料	A	O	P
ビアホール間隔(mm)	0	0.05	0.10
総合インダクタンス (nH)	0.120	0.129	0.146
試料	Q	R	S
ビアホール間隔(mm)	0.15	0.20	0.25
総合インダクタンス (nH)	0.172	0.194	0.230

【0069】表4の結果より、本発明のチップ型積層セラミックコンデンサにおいては、ビアホールを千鳥状に配置する場合、試料A及びO～Rのように内部電極の短辺方向の間隔を0.20mm以下に設定することが、インダクタンスの低減のために好ましいことか分かる。これは、ビアホールを千鳥状に配置すると、内部電極の中央部分の相互インダクタンスが増加するために、全体としてのインダクタンスが増加するためと考えられる。

【0070】しかし、ビアホールを千鳥状に配置する

試料	T	U	V	A	W
端子電極厚み (μm)	10	20	50	100	150
総合インダクタンス (nH)	0.093	0.095	0.102	0.120	0.131

【0074】表5の結果より、本発明のチップ型積層セラミックコンデンサにおいては、端子電極の厚さは特に大きな影響を与えていないが、望ましくは20μm以下とすることで、インダクタンスを更に低く抑えられることが分かった。

【0075】

【発明の効果】以上詳述したように、本発明のチップ型積層セラミックコンデンサによれば、コンデンサに発生する自己インダクタンス及び相互インダクタンスを共に非常に小さく抑制することができ、極めて低インダクタンスのチップ型積層セラミックコンデンサを提供することができた。

【0076】また、本発明のチップ型積層セラミックコンデンサによれば、高速化、高集積化されたデジタル回路の半導体素子に並列に付加するデカップリングコンデンサに好適な、極めて低インダクタンスのチップ型積層セラミックコンデンサを提供することができた。

【0077】さらに、本発明のチップ型積層セラミックコンデンサによれば、高速化された回路モジュールにおいても、ノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさない、極めて低インダクタンスの面実装タイプのチップ型積層セラミックコンデンサを提供することができた。

【0078】そのため、高速化、高集積化されたデジタル回路の半導体素子の動作、あるいは高速化された回路モジュールの動作を安定化することが可能となり、デジ

と、同じ長さの内部電極中により多くのビアホールを配列できるので、内部電極と端子電極との接続をより低抵抗で確実に行なえるとともに、隣接する内部電極中を流れる電流の向きを反対方向に揃えやすくなって相互インダクタンスをより低減できる、という点で有利となる。従って、その場合のビアホールの配置間隔は、インダクタンスとの兼ね合いで設定することが望ましい。

【0071】〔例5〕次に、〔例1〕と同様にしてセラミックコンデンサ試料を作製するに当り、端子電極の厚さを変えた。塗布した導電性ペーストの厚さを変えて、端子電極の厚さを表5に示すように10～150μmの間で4段階に変えたものを作製し、それぞれ試料T～Wを得た。

【0072】これらについて〔例1〕と同様にして総合インダクタンスを求めたところ、表5に示した結果が得られた。なお、表5には、試料Aの結果も併記した。

【0073】

【表5】

タル回路のさらなる高速化に対応できるようになる。

【図面の簡単な説明】

【図1】(a)及び(b)は、それぞれ本発明のチップ型積層セラミックコンデンサの構成例を示す横断面図及び縦断面図である。

30 【図2】(a)及び(b)は、それぞれ本発明のチップ型積層セラミックコンデンサの構成例における電流の向きを説明する縦断面図及び横断面図である。

【図3】(a)及び(b)は、それぞれ従来のチップ型積層セラミックコンデンサの構成を示す横断面図及び縦断面図である。

【図4】(a)及び(b)は、それぞれ従来の他のチップ型積層セラミックコンデンサの構成を示す横断面図及び縦断面図である。

40 【図5】(a)及び(b)は、それぞれ従来の他のチップ型積層セラミックコンデンサの構成を示す横断面図及び縦断面図である。

【符号の説明】

1、6、7、8・・・・・・チップ型積層セラミックコンデンサ

2、9・・・・・・チップ本体

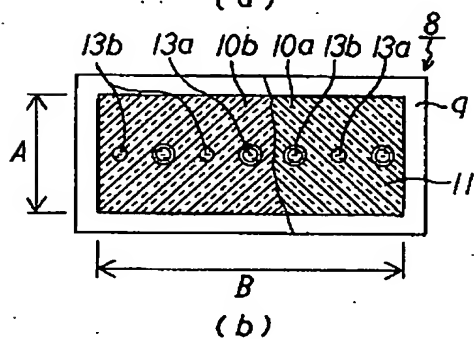
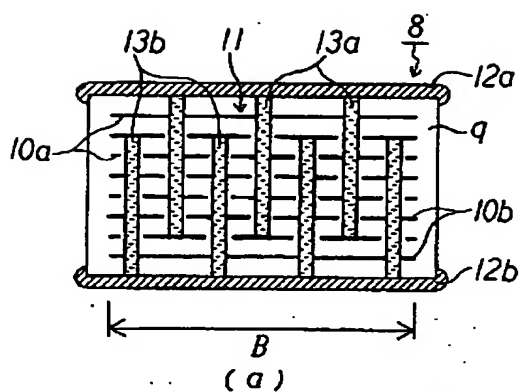
3a、3b、10a、10b・・・内部電極

4、11・・・・・・コンデンサ部

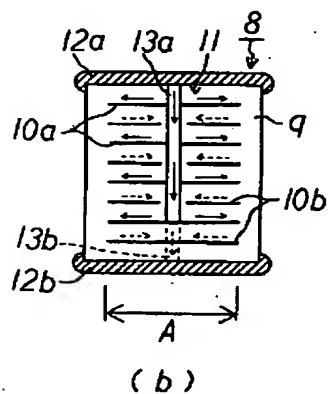
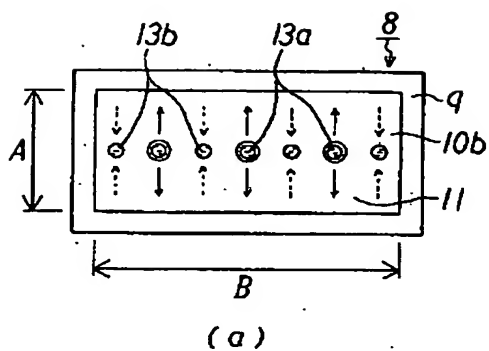
5a、5b、12a、12b・・・端子電極

13a、13b・・・・・・ビアホール

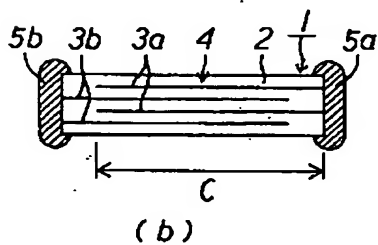
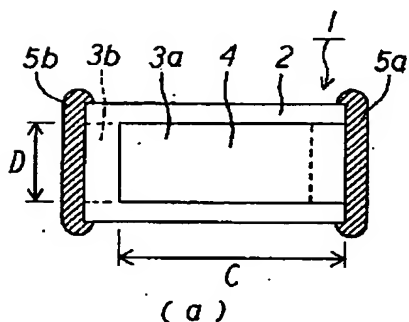
【図1】



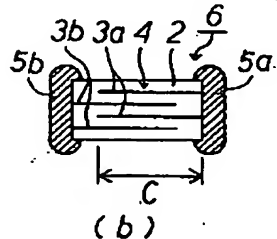
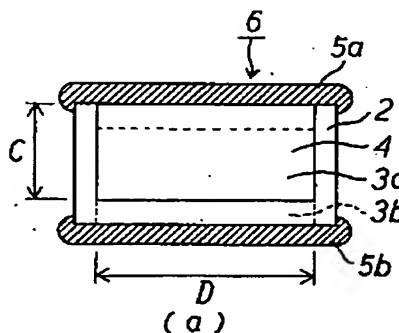
【図2】



【図3】



【図4】



【図5】

